

## PATENT ABSTRACTS OF JAPAN

(1)

(11)Publication number : 05-259456

(43)Date of publication of application : 08.10.1993

(51)Int.Cl.

H01L 29/784  
H01L 21/336

(21)Application number : 04-337036

(71)Applicant : PHILIPS GLOEILAMPENFAB NV

(22)Date of filing : 17.12.1992

(72)Inventor : MERCHANT STEVEN

(30)Priority

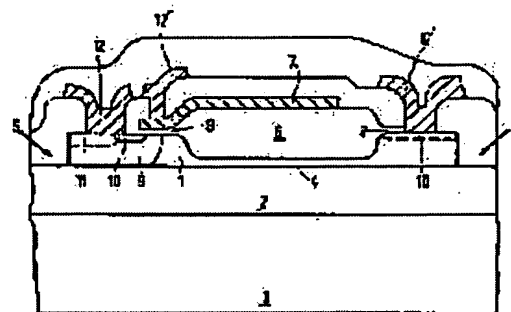
Priority number : 91 811554 Priority date : 20.12.1991 Priority country : US

## (54) THIN-FILM SOI DEVICE

(57)Abstract:

PURPOSE: To provide an SOI device which is not subjected to a problem caused by an external electric field and which has a high withstand voltage and low resistance.

CONSTITUTION: The present invention provides improvement in a structure and a method of manufacturing an SOI-type high-voltage thin-film transistor. More particularly, a gate electrode 7 is extended to and formed on a linear doping configuration 4, so that a drift region is shielded from the external electric field and the ON-state resistance is decreased. The improved structure and technology are described.



## LEGAL STATUS

[Date of request for examination] 14.12.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3456716

[Date of registration] 01.08.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(1)

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-259456

(43)公開日 平成5年(1993)10月8日

(51)Int.Cl.<sup>5</sup>

H 0 1 L 29/784

21/336

識別記号

庁内整理番号

F I

技術表示箇所

9056-4M

9056-4M

9056-4M

H 0 1 L 29/ 78

3 1 1 G

3 1 1 X

3 1 1 Y

審査請求 未請求 請求項の数10(全 4 頁)

(21)出願番号 特願平4-337036

(22)出願日 平成4年(1992)12月17日

(31)優先権主張番号 07/811554

(32)優先日 1991年12月20日

(33)優先権主張国 米国(US)

(71)出願人 590000248

エヌ・ペー・フィリップス・フルーイラン  
ベンファブリケンN. V. PHILIPS' GLOEIL  
AMPENFABRIEKENオランダ国 アインドーフェン フルーネ  
ヴァウツウエッハ 1

(72)発明者 ステューブン マーチャント

アメリカ合衆国 ニューヨーク州 10598  
ヨークタウン ハイッ オールド ヨー  
クタウン ロード 3341

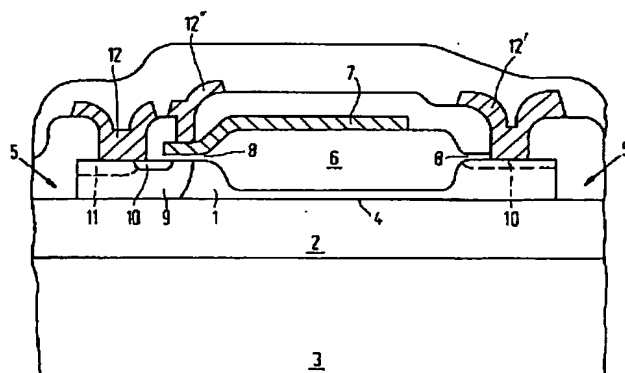
(74)代理人 弁理士 杉村 暁秀 (外5名)

(54)【発明の名称】 薄膜SOI装置

(57)【要約】 (修正有)

【目的】 外部電界から生じる問題を受けず、且つ高耐圧で低いオン抵抗を有するSOI装置を提供することを目的とする。

【構成】 本発明はSOI型の高電圧薄膜トランジスタを作るための構造と方法との改善を伴っている。特に、本発明は、外部電界からドリフト領域を遮蔽し且つオン状態抵抗を低減するように、ゲート電極7が線型なドーピング形態4上に延在して形成されている、この改善された構造を作るための構造と技術とを述べている。



## 【特許請求の範囲】

【請求項1】埋め込み酸化物層と、前記埋め込み酸化物層上の横方向に実質的に線型なドーピング領域を有する珪素の薄層と、前記珪素の薄層上の上部酸化物層と、前記薄層の一端におけるゲート領域と、前記薄層の対向端におけるドレイン領域、及び前記ゲート領域から横方向に分離されたソース領域を具えている薄膜SOI装置において、

前記ゲート領域がゲート電極を含んでおり且つ電界板が前記横方向に線型なドーピング領域上に前記ゲート領域から延在していることを特徴とする薄膜SOI装置。

【請求項2】前記埋め込み酸化物層と前記上部酸化物層とが同じ厚さを有することを特徴とする請求項1記載の薄膜SOI装置。

【請求項3】前記埋め込み酸化物層及び前記上部酸化物層が各々約1~1.5  $\mu\text{m}$  の厚さ範囲を有することを特徴とする請求項1記載の薄膜SOI装置。

【請求項4】前記珪素の層が100~200 nmの厚さ範囲を有することを特徴とする請求項1記載の薄膜SOI装置。

【請求項5】前記ゲート電極及び前記電界板が各々500 nmの厚さを有することを特徴とする請求項1記載の薄膜SOI装置。

【請求項6】次のステップ、すなわち、

(a) 埋め込み酸化物層上に珪素層を形成するステップであって、前記埋め込み酸化物層は半導体基板上に形成されるステップと、

(b) 前記珪素層内に横方向に実質的に線型なドーピング領域を形成するステップと、

(c) 低減された厚さへ前記横方向に線型なドーピング領域を同時に薄くし、且つこの薄くされた横方向に線型なドーピング領域上に上部酸化物層を堆積するステップ、及び

(d) 前記上部酸化物層の側部にゲート領域を形成するステップであって、前記ゲート領域は前記上部酸化物層のほとんどの部分上に横方向に延在する電界板と共にゲート電極を有し、前記電界板の横方向の延在は前記薄くされた横方向に線型なドーピング領域上にあるステップと、

を具えている半導体装置を作る方法。

【請求項7】前記埋め込み酸化物層と前記上部酸化物層とが同じ厚さによって形成されることを特徴とする請求項6記載の方法。

【請求項8】前記埋め込み酸化物層と前記上部酸化物層とが各々約1~1.5  $\mu\text{m}$  の厚さにより形成されることを特徴とする請求項6記載の方法。

【請求項9】前記横方向に線型なドーピング領域が約100~200 nmの厚さに薄くされることを特徴とする請求項6記載の方法。

【請求項10】前記ステップ(a)による珪素層が約0.75

~1.25  $\mu\text{m}$  の厚さに形成されることを特徴とする請求項6記載の方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、埋め込み酸化物層と、前記埋め込み酸化物層上の横方向に実質的に線型なドーピング領域を有する珪素の薄層と、前記珪素の薄層上の上部酸化物層と、前記薄層の一端におけるゲート領域と、前記薄層の対向端におけるドレイン領域、及び前記ゲート領域から横方向に分離されたソース領域を具えている薄膜SOI (Silicon-On-Insulator) 装置に関するものである。

## 【0002】

【従来の技術】そのような装置は欧州特許出願第497427号から既知である。高電圧集積回路技術における主な問題点は、構成要素と補助回路部分との絶縁の問題に対する十分な解答を見出すことである。既知の装置においては、横方向に線型なドーピング形態がSOI装置の珪素層内に形成される。更にその上、既知の装置ではその珪素層は約200~300 nmの厚さを有する珪素の薄層として設けられる。この構造が高い破壊電圧特性を有するSOI半導体装置を形成する。

【0003】この基本的構造は、ウエファの表面上の湿気又はその他の塵埃により起こされて、ゲートとドレインとの間のドリフト領域、すなわち線型なドーピング領域上に働く、外部電界から生じる問題を受ける。更にその上、従来構造は必要よりも高いオン抵抗を有する。

## 【0004】

【発明が解決しようとする課題】本発明はこの従来構造を改善することを探究するものである。

## 【0005】

【課題を解決するための手段】それ故にこの装置は、前記ゲート領域がゲート電極を含んでおり且つ電界板が前記横方向に線型なドーピング領域上に前記ゲート領域から延在していることを特徴とする。ゲート電極は上側酸化物層により覆われているドリフト領域の一方側に形成される。従って、ゲート電極が珪素層の下にあるドリフト領域の全部を覆うようにこの酸化物層の上部を横方向にわたってゲート領域から延在する。

【0006】更にその上、上部酸化物層が絶縁層上の珪素の下に埋め込み酸化物層と同じ厚さによって作られた場合に、この構造が大幅に改善されることが見出された。形成されるトランジスタのソース領域とドレイン領域とはこのSOI層の対向側部に形成される。

【0007】この構造に付加される利点は、二倍の導電電荷がこのドリフト領域内に置かれ得るようにドリフト領域を上部と底部との両方から空乏化する能力である。これがこの装置のオン抵抗を低減する。

【0008】この改善された構造を製造する方法は、半導体基板上に形成されている埋め込み酸化物層と共に埋

め込み酸化物層上に珪素層を形成すること、この珪素層内に横方向に線型なドーピング領域を形成すること、局部的酸化（LOCOS）によりドリフト領域を選択的に薄くすること、ドリフト領域上の薄い上部酸化物層をそのままにすること、及び上部酸化物層のほとんどの部分上に横方向に延在している部分と共にゲート電極を有するゲート領域により上部酸化物層の側部にゲート領域を形成することを具えており、そこでゲート電極の横方向の延長が薄い横方向に線型なドーピング領域上にある。本発明のこの技術が本発明の改善を有する高電圧SOI半導体装置を達成する。

【0009】

【実施例】以下、図面を参照して、実例によって、本発明を詳細に説明しよう。図中の同じ符号はそれぞれの図の相当する部分を確認するために用いられている。

【0010】本発明の改善されたSOIトランジスタが図1に図解されている。ここで、あらゆる固有抵抗のn形又はp形導電型のいずれであってもよい基板3が与えられる。酸化物層2はこの基板層の上に堆積される。酸化物層2上に線型な横方向ドーピング領域4を有する珪素層1が形成される。この線型な横方向ドーピング領域の形成は欧州特許出願第497427号における形成と類似している。今や埋め込み酸化物層2を形成している酸化物層2によって、この方法でSOI構造が形成される。SOI装置の範囲は絶縁材料の絶縁領域5により取り囲まれている。珪素層1は標準局部的酸化技術により100~200nmの厚さ範囲へ選択的に薄くされる。これは線型な横方向ドーピング領域4の周りに窒化珪素のマスクを用いること、及び熱二酸化珪素6の1~1.5 $\mu\text{m}$ 厚さ層の成長を伴う。このことがSOI装置のドリフト領域を与える横方向の線型なドーピング形態を有する薄くされた層4を残す。

【0011】多結晶珪素ゲート電極及び電界板7が熱二酸化珪素6の側部に約60nmの厚さを有する薄いゲート酸化物8を最初に成長させることにより形成される。その後、500nmの多結晶珪素がゲート電極及び電界板領域を形成するためにその上に堆積される。本発明に従って、二酸化珪素層6の上側面を露出するように、マスクがゲート電極7を形成する前に設けられるので、ゲート電極7は電界板領域として上側二酸化珪素層6の表面上へ延在する。

【0012】この電界板は薄くされた珪素層4のドリフト領域部分上にゲート電極から延在している。ソース及びドレイン領域10はその時、例えばゲート及びドリフト領域の側部に、N+導電型で形成される。P+ソース領域11もソース接点12が両領域と接触するように形成され

る。ドレイン接点12'がドレイン領域10と接触して形成され、一方ゲート接点12''が薄いゲート酸化物8の上にあるゲート領域7と接触して形成される。上部二酸化珪素層6は埋め込み酸化物層2と等しい厚さによって形成される。また、ゲート電極の電界板7がドリフト領域4上に横方向に延在している。

【0013】ウエファの表面上の湿気又はその他の荷電塵埃により生じるあらゆる侵害的な外部電界が、ドリフト領域の上にあるゲート電極の電界板上で終わるので、よく保護されたドリフト領域4が設けられる。更に、ドリフト領域が今や上部と底部との両方から空乏化され得るので、二倍の導電電荷がオン抵抗を低減するためにドリフト領域上へ置かれ得る。それに加えて、SOIフィルムはソース及びドレイン領域においては厚く（0.75~1.25 $\mu\text{m}$ ）、P型体9は既知の装置におけるように浮動のまではない。

【0014】図2は本発明の電界板及びゲート7を有する典型的な装置における等静電位線を、コンピュータシミュレートした曲線を示している。そのようなSOI装置は約710ボルトの高い破壊電圧を有する。最良化されたドリフト領域は、ゲート電極及び電界板7を有しない同じ構造のドリフト領域の二倍であるドレイン領域の近くにピークドーピングを有する横方向ドーピング形態n(x)を有する。ドリフト領域4の最低ドリフト領域ドーピング、すなわちゲート構造に向かう最低ドリフト領域ドーピングも2の係数により増大される。

【図面の簡単な説明】

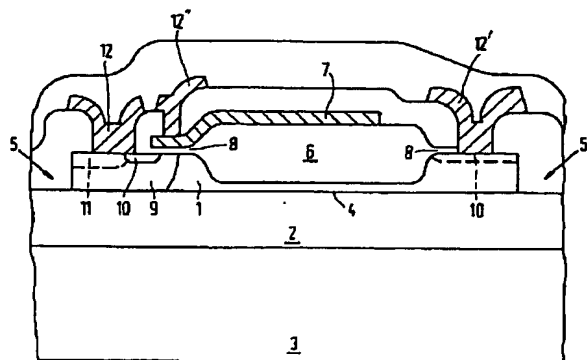
【図1】本発明による改善された薄膜トランジスタを断面図で図解している。

【図2】本発明による横方向ゲート延在部を有する装置におけるコンピュータシミュレートした等静電位線を図解している。

【符号の説明】

- 1 珪素層
- 2 埋め込み酸化物層
- 3 基板
- 4 線型の横方向のドーピング領域
- 5 絶縁領域
- 6 熱二酸化珪素
- 7 多結晶珪素ゲート電極及び電界板
- 8 薄いゲート酸化物
- 9 P型体
- 10 ソース及びドレイン領域
- 11 P+ソース領域
- 12 ソース接点
- 12' ドレイン接点
- 12'' ゲート接点

【図 1】



【図 2】

